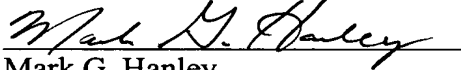


PATENT
Docket No. 20063/OG03-044

**IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE**

Applicant(s): Dong Yeal KEUM)	I hereby certify that the documents
Serial No.: 10/747,601)	referred to as enclosed herewith are
Filed: December 29, 2003)	being deposited with the United States
For: "Method for Fabricating a)	Postal Service, first class postage
Transistor")	prepaid, in an envelope addressed to
Group Art Unit: Unknown)	the Commissioner for Patents, P.O.
Examiner: Not Yet Assigned)	Box 1450, Alexandria, Virginia
)	22313-1450 on this date:
)	
)	January 30, 2004
)	
)	
)	Mark G. Hanley
)	Reg. No. 44,736

TRANSMITTAL OF PRIORITY DOCUMENT


Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

Enclosed herewith is a certified copy of Korean Patent Application Serial No.
10-2002-0087305 filed December 30, 2002, the priority of which is claimed under 35
U.S.C. § 119.

Respectfully submitted,

GROSSMAN & FLIGHT, LLC.
Suite 4220
20 North Wacker Drive
Chicago, Illinois 60606
(312) 580-1020

By: 
Mark G. Hanley
Registration No.: 44,736

January 30, 2004



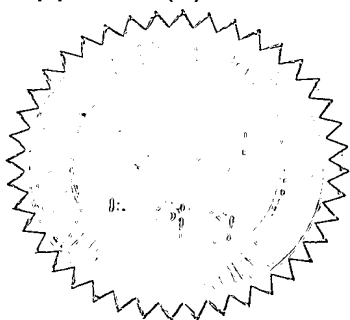
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2002-0087305
Application Number

출원 년 월 일 : 2002년 12월 30일
Date of Application DEC 30, 2002

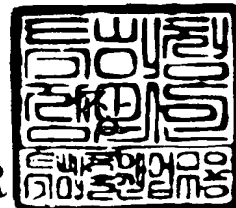
출원인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 11 월 18 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0023
【제출일자】 2002.12.30
【발명의 명칭】 반도체 장치의 트랜지스터 형성 방법
【발명의 영문명칭】 method for forming a transistor in a semiconductor device
【출원인】
【명칭】 동부전자 주식회사
【출원인코드】 1-1998-106725-7
【대리인】
【성명】 강성배
【대리인코드】 9-1999-000101-3
【포괄위임등록번호】 2001-050901-4
【발명자】
【성명의 국문표기】 금동렬
【성명의 영문표기】 KEUM,Dong Yea I
【주민등록번호】 650501-1792614
【우편번호】 467-719
【주소】 경기도 이천시 증포동 대우2차아파트 206동 1004호
【국적】 KR
【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 강성배 (인)
【수수료】
【기본출원료】 13 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 0 항 0 원
【합계】 29,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

개시된 제조 방법은 엘디디 구조의 트랜지스터에 관한 것으로서, 본 발명은 소자 분리막에 의해 활성 영역이 정의된 기판 상에 게이트 전극을 형성하는 단계와, 상기 게이트 전극을 이온 주입 마스크로 이용한 이온 주입을 실시하여 제1예비 소스/드레인 전극 및 상기 제1예비 소스/드레인 전극 하부에 포켓 접합 영역을 형성하는 단계와, 상기 게이트 전극을 갖는 기판 상에 균일한 두께를 갖는 제1산화막을 형성하는 단계와, 상기 제1산화막 상에 균일한 두께를 갖는 질화막을 형성하는 단계와, 상기 질화막을 갖는 기판 상에 제2산화막을 형성하는 단계와, 상기 제2산화막을 전면 식각하여 상기 게이트 전극의 측벽에 스페이서를 형성하는 단계와, 상기 스페이서를 이온 주입 마스크로 이용한 이온 주입을 실시하여 제2예비 소스/드레인 전극을 형성하는 단계와, 상기 기판 표면 상에 남아 있는 상기 질화막 및 제1산화막을 제거하는 단계와, 상기 결과물을 갖는 기판을 열처리하여 상기 기판에 주입된 이온들을 상기 기판 표면의 수평 방향으로만 확산시키는 단계를 포함한다.

【대표도】

도 2d

【명세서】**【발명의 명칭】**

반도체 장치의 트랜지스터 형성 방법{method for forming a transistor in a semiconductor device}

【도면의 간단한 설명】

도 1은 종래의 방법에 따라 제조된 반도체 장치의 트랜지스터를 나타내는 단면도,

도 2a 내지 도 2d는 본 발명의 일 실시예에 따른 반도체 장치의 트랜지스터 형성 방법을 나타내는 단면도.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <3> 본 발명은 반도체 장치의 트랜지스터 형성 방법에 관한 것으로서, 보다 상세하게는 엘디드(LDD : lightly doped drain) 구조의 트랜지스터를 형성하는 방법에 관한 것이다.
- <4> 최근, 컴퓨터와 같은 정보 매체의 급속한 보급에 따라 반도체 장치도 비약적으로 발전하고 있다. 그 기능 면에 있어서, 상기 반도체 장치는 고속으로 동작하는 동시에 대용량의 저장 능력을 가질 것이 요구된다. 이러한 요구에 부응하여, 상기 반도체 장치는 집적도, 신뢰도 및 응답 속도 등을 향상시키는 방향으로 제조 기술이 발전되고 있다.
- <5> 이에 따라, 상기 반도체 장치는 미세 패턴을 갖는 형태로 개발되고 있다. 따라서, 반도체 기판 상에 형성되는 트랜지스터의 채널 길이(channel length)도 급속히 감소하는 경향이다.
- <6> 도 1은 종래의 방법에 따라 제조된 반도체 장치의 트랜지스터를 나타내는 단면도이다.

<7> 도 1을 참조하면, 상기 트랜지스터는 기판(10) 상에 형성된 게이트 전극(12)과 기판(10)에 엘디디의 소스/드레인 전극(16a, 16b)을 갖는다. 이때, 상기 게이트 전극(12)을 게이트 산화막(12b) 및 게이트 폴리 산화막(12a)을 갖는다. 그리고, 상기 게이트 전극(12)의 측벽에는 스페이서(14)를 갖는다. 또한, 상기 엘디디의 소스/드레인 전극(16a, 16b)이 형성된 영역에는 포켓 접합(pocket junction)(18) 영역을 갖는다.

<8> 이와 같이, 상기 포켓 접합(18) 영역을 형성함으로써 트랜지스터의 문제점으로 발생하는 펀치 앤드 오프 리키지(punch and off leakage) 특성이 매우 취약한 구조를 보완하고 있다.

【발명이 이루고자 하는 기술적 과제】

<9> 그러나, 상기 보완에도 불구하고 상기 트랜지스터의 사이즈가 계속적으로 미세화됨에 따라 벌크 펀치(bulk punch) 등이 발생한다. 그러나, 상기 벌크 펀치 등의 발생은 상기 포켓 접합으로는 해결하지 못하고 있다. 또한, 이온 주입 장비의 한계 능력으로 인하여 접합 깊이를 무한정 줄이지도 못하고 있다.

<10> 따라서, 종래에는 트랜지스터의 사이즈의 축소에 대하여 적극적으로 대처하지 못하고 있는 실정이다.

<11> 이에 본 발명은 상기 종래기술의 제반 문제점을 해결하기 위하여 안출한 것으로서, 본 발명은 트랜지스터의 사이즈 축소에 따른 엘디디 구조의 소스/드레인 전극이 접합 영역을 용이하게 줄일 수 있는 제조 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<12> 상기 목적을 달성하기 위한 본 발명은, 소자 분리막에 의해 활성 영역이 정의된 기판 상에 게이트 전극을 형성하는 단계와, 상기 게이트 전극을 이온 주입 마스크로 이용한 이온 주입

을 실시하여 제1예비 소스/드레인 전극 및 상기 제1예비 소스/드레인 전극 하부에 포켓 접합 영역을 형성하는 단계와, 상기 게이트 전극을 갖는 기판 상에 균일한 두께를 갖는 제1산화막을 형성하는 단계와, 상기 제1산화막 상에 균일한 두께를 갖는 질화막을 형성하는 단계와, 상기 질화막을 갖는 기판 상에 제2산화막을 형성하는 단계와, 상기 제2산화막을 전면 식각하여 상기 게이트 전극의 측벽에 스페이서를 형성하는 단계와, 상기 스페이서를 이온 주입 마스크로 이용한 이온 주입을 실시하여 제2예비 소스/드레인 전극을 형성하는 단계와, 상기 기판 표면 상에 남아 있는 상기 질화막 및 제1산화막을 제거하는 단계와, 상기 결과물을 갖는 기판을 열처리하여 상기 기판에 주입된 이온들을 상기 기판 표면의 수평 방향으로만 확산시키는 단계를 포함한다.

<13> 그리고, 상기 질화막 및 제1산화막을 제거하기 이전에 상기 기판을 열처리하는 단계를 더 포함하는 것이 바람직하다.

<14> 이와 같이, 본 발명에 의하면, 게이트 전극의 측벽에 스페이서를 제1산화막, 질화막 및 제2산화막을 갖는 구조로 형성하고, 열처리를 수행함으로써 상기 기판에 주입된 이온들이 상기 기판이 수평 방향으로 확산된다. 때문에, 엘디디의 소스/드레인 전극의 접합 깊이를 줄일 수 있다.

<15> 따라서, 본 발명은 상기 접합 깊이의 한계로 인하여 발생하는 문제점을 충분히 해결할 수 있다. 또한, 제조 장비의 한계 능력을 극복함으로써 제조 장비의 대체 개발의 연구 개발을 완화시킬 수 있다.

<16> 이하, 본 발명의 바람직한 실시예를 첨부한 도면에 따라서 더욱 상세히 설명하기로 한다

- <17> 도 2a 내지 도 2d는 본 발명의 일 실시예에 따른 반도체 장치의 트랜지스터 형성 방법을 나타내는 단면도이다.
- <18> 도 2a를 참조하면, 소자 분리막(22)에 의해 활성 영역이 정의된 기판(20)을 마련한다. 상기 소자 분리막(22)은 트렌치 산화막인 것이 바람직하다. 이는, 상기 트렌치 산화막이 미세 패턴을 갖는 반도체 장치의 제조에 적합하기 때문이다. 그리고, 상기 소자 분리막(22)의 다른 예로서는 필드 산화막을 들 수 있다.
- <19> 이어서, 상기 기판(20)의 활성 영역 상에 게이트 산화막(24a)과 게이트 폴리 산화막(24b)을 갖는 게이트 전극(24)을 형성한다. 상기 게이트 전극(24)의 형성은 다음과 같다.
- <20> 먼저, 기판(20) 상에 산화막 및 폴리 산화막을 순차적으로 형성한다. 그리고, 사진 식각 공정을 통하여 상기 폴리 산화막 및 산화막을 패터닝한다. 이와 같이, 상기 패터닝에 의해 상기 폴리 산화막 및 산화막 각각이 게이트 폴리 산화막(24b) 및 게이트 산화막(24a)으로 형성된다. 따라서, 상기 게이트 폴리 산화막(24b) 및 게이트 산화막(24a)을 갖는 게이트 전극(24)이 형성되는 것이다.
- <21> 그리고, 상기 게이트 전극(24)을 이온 주입 마스크로 사용한 이온 주입을 실시하여 상기 게이트 전극(24)과 연결되는 기판(20)에 제1예비 소스/드레인 전극(26)을 형성한다. 이때, 트랜지스터의 표면 펀치(surface punch)를 방지하기 위하여 상기 제1예비 소스/드레인 전극(26) 하부에 포켓 접합(27) 영역을 더 형성한다.
- <22> 도 2b 및 도 2c를 참조하면, 게이트 전극(24)을 갖는 기판(20) 상에 균일한 두께를 갖는 제1산화막(28) 및 질화막(29)을 형성한다. 그리고, 상기 질화막(29) 상에 제2산화막(30)을 더 형성한다. 그리고, 상기 제2산화막(30)을 전면 식각한다. 이때, 상기 질화막(29)은 상기 전면

식각에 대한 식각 저지막의 기능을 갖는다. 따라서, 상기 전면 식각에 의해 상기 게이트 전극(24)의 측벽에만 상기 제2산화막(30)이 스페이서로 형성된다.

<23> 이어서, 상기 스페이서를 이온 주입 마스크로 사용한 이온 주입을 실시한다. 이에 따라, 상기 기판(20)에는 제2예비 소스/드레인 전극(26a)이 형성된다. 이때, 상기 이온 주입은 상기 기판(20) 표면에 형성된 질화막(29) 및 제1산화막(28)에 의해 상기 주입되는 이온의 깊이를 어느 정도 조절할 수 있다. 따라서, 상기 주입되는 이온은 기판(20)의 다소 얇은 부위에 그 영역을 형성한다.

<24> 그리고, 상기 결과물을 갖는 기판(20)을 열처리할 수도 있다. 이와 같이, 상기 열처리를 실시함으로써 상기 기판(20)에 주입된 이온들은 상기 기판(20)의 표면을 따라 확산된다. 이는, 상기 질화막(29)이 상기 확산을 저지하기 때문이다.

<25> 도 2d를 참조하면, 상기 기판(20) 상에 남아 있는 질화막(29) 및 제1산화막(28)을 순차적으로 제거한다. 이에 따라, 상기 기판(20)에는 게이트 전극(24) 및 스페이서 구조물이 형성된다. 이때, 상기 스페이서 구조물은 제1산화막(28a), 질화막(29a) 및 제2산화막(30)의 적층 구조를 갖는다.

<26> 그리고, 상기 결과물을 갖는 기판(20)을 열처리시킨다. 이에 따라, 접합 깊이가 용이하게 조절된다. 즉, 얇은 깊이를 갖는 것이다. 이때, 상기 얇은 깊이는 상기 게이트 전극(24)의 측벽에 형성된 스페이서 구조물의 질화막(29a)이 상기 열처리에 따른 이온의 확산을 저지하기 때문이다. 그리고, 상기 소스/드레인 전극(26a)의 이온 주입 영역이 양측에는 포켓 접합(32) 영역이 일부 존재한다.

【발명의 효과】

- <27> 상기한 바와같이, 본 발명에 의하면, 얇은 접합 영역을 갖는 엘디디의 소스/드레인 전극을 용이하게 형성할 수 있다.
- <28> 또한, 트랜지스터의 사이즈가 축소되는 최근의 반도체 장치의 제조에 상기 방법을 적극적으로 적용할 수 있다. 또한, 제조 장비를 이용한 해결 방안의 제시가 아니라 공정적 측면으로만 상기 얇은 접합의 구현이 가능함으로서 제조 장비의 한계 능력을 충분히 극복할 수 있다.
- <29> 따라서, 본 발명은 반도체 장치의 제조에 따른 신뢰도 및 생산성의 향상을 가져온다.
- <30> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

소자 분리막에 의해 활성 영역이 정의된 기판 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극을 이온 주입 마스크로 이용한 이온 주입을 실시하여 제1예비 소스/드레인 전극 및 상기 제1예비 소스/드레인 전극 하부에 포켓 접합 영역을 형성하는 단계;

상기 게이트 전극을 갖는 기판 상에 균일한 두께를 갖는 제1산화막을 형성하는 단계;

상기 제1산화막 상에 균일한 두께를 갖는 질화막을 형성하는 단계;

상기 질화막을 갖는 기판 상에 제2산화막을 형성하는 단계;

상기 제2산화막을 전면 식각하여 상기 게이트 전극의 측벽에 스페이서를 형성하는 단계;

상기 스페이서를 이온 주입 마스크로 이용한 이온 주입을 실시하여 제2예비 소스/드레인 전극을 형성하는 단계;

상기 기판 표면 상에 남아 있는 상기 질화막 및 제1산화막을 제거하는 단계; 및

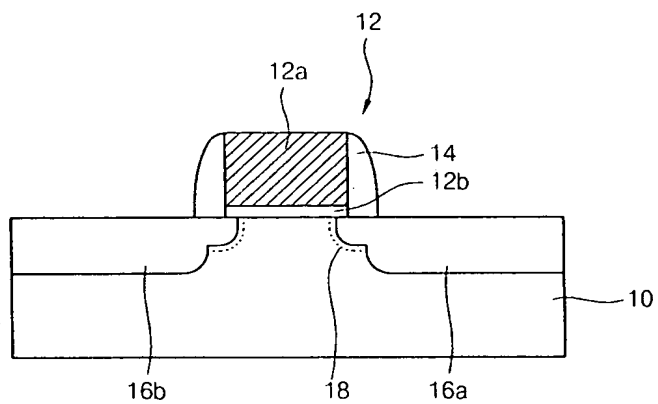
상기 결과물을 갖는 기판을 열처리하여 상기 기판에 주입된 이온들을 상기 기판 표면의 수평 방향으로만 확산시키는 단계를 포함하는 반도체 장치의 트랜지스터 형성 방법.

【청구항 2】

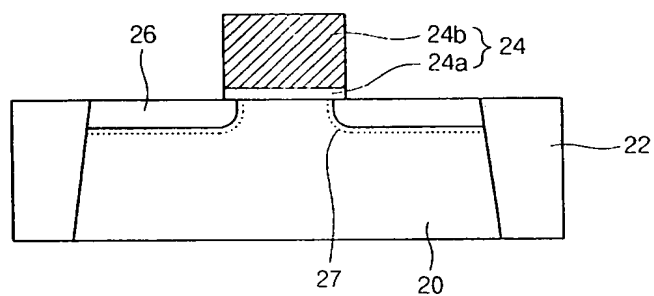
제1항에 있어서, 상기 질화막 및 제1산화막을 제거하기 이전에 상기 기판을 열처리하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치의 트랜지스터 형성 방법.

【도면】

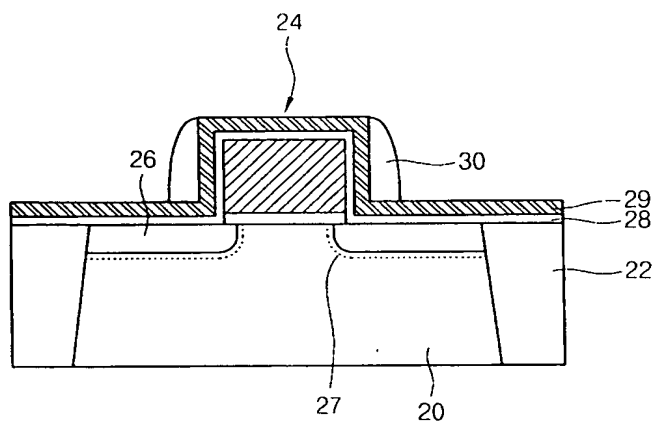
【도 1】



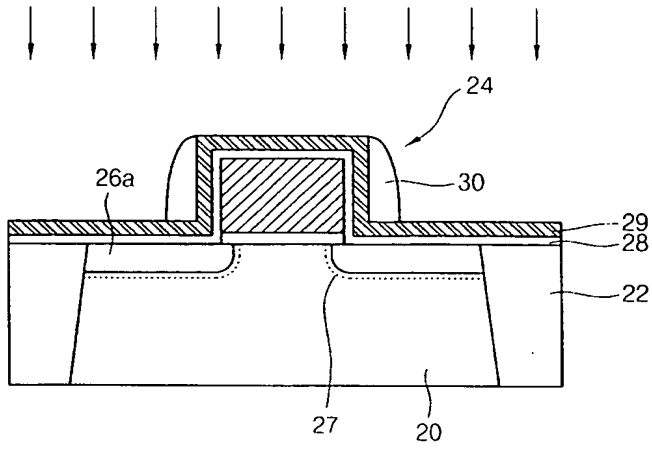
【도 2a】



【도 2b】



【도 2c】



【도 2d】

